

AUTOMATIC EQUALIZER

Publication number: JP5327416

Publication date: 1993-12-10

Inventor: SATO TERUO

Applicant: SONY CORP

Classification:

- international: H03H15/00; H03H17/00; H03H17/02; H03H21/00;
H04B3/10; H04B7/26; H04J3/06; H04L7/08; H04Q7/38;
H03H15/00; H03H17/00; H03H17/02; H03H21/00;
H04B3/04; H04B7/26; H04J3/06; H04L7/08; H04Q7/38;
(IPC1-7): H03H21/00; H03H15/00; H03H17/00;
H04B3/10; H04B7/26; H04J3/06; H04L7/08

- european:

Application number: JP19920158524 19920525

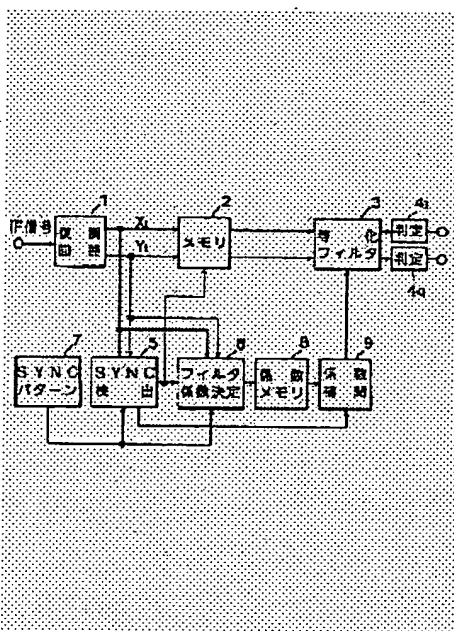
Priority number(s): JP19920158524 19920525

Report a data error here

Abstract of JP5327416

PURPOSE: To provide an automatic equalizer capable of deciding the filter coefficient of the equalizer with less arithmetic operation amount and high accuracy at a high speed.

CONSTITUTION: In the automatic equalizer utilizing a received synchronization pattern signal for deciding the filter coefficient of an equalizing filter 3, a SYNC detection circuit 5 detects a synchronization pattern signal in a 1st time slot allocated to a present station and a synchronization pattern signal in a succeeding 2nd time slot, a filter coefficient decision circuit 6 decides two filter coefficients corresponding to both synchronization pattern signals, and a coefficient interpolation circuit 9 sets a filter coefficient as to data in the 1st time slot by linear interpolation by using the two filter coefficients.



Data supplied from the esp@cenet database - Worldwide

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-327416

(43)Date of publication of application : 10.12.1993

(51)Int.Cl.

H03H 21/00
H03H 15/00
H03H 17/00
H04B 3/10
H04B 7/26
H04J 3/06
H04L 7/08

(21)Application number : 04-158524

(71)Applicant : SONY CORP

(22)Date of filing : 25.05.1992

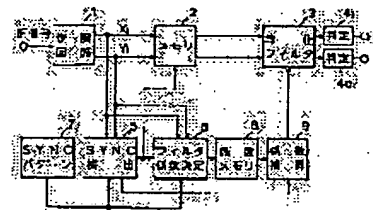
(72)Inventor : SATO, TERUO

(54) AUTOMATIC EQUALIZER

(57)Abstract:

PURPOSE: To provide an automatic equalizer capable of deciding the filter coefficient of the equalizer with less arithmetic operation amount and high accuracy at a high speed.

CONSTITUTION: In the automatic equalizer utilizing a received synchronization pattern signal for deciding the filter coefficient of an equalizing filter 3, a SYNC detection circuit 5 detects a synchronization pattern signal in a 1st time slot allocated to a present station and a synchronization pattern signal in a succeeding 2nd time slot, a filter coefficient decision circuit 6 decides two filter coefficients corresponding to both synchronization pattern signals, and a coefficient interpolation circuit 9 sets a filter coefficient as to data in the 1st time slot by linear interpolation by using the two filter coefficients.



LEGAL STATUS

[Date of request for examination] 17.05.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3395206

[Date of registration] 07.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-327416

(43)公開日 平成5年(1993)12月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 H 21/00		7037-5 J		
15/00		7037-5 J		
17/00	A	7037-5 J		
H 0 4 B 3/10	C	8226-5 K		
7/26	1 0 9 N	7304-5 K		

審査請求 未請求 請求項の数3(全 8 頁) 最終頁に続く

(21)出願番号 特願平4-158524

(22)出願日 平成4年(1992)5月25日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 佐藤 輝雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

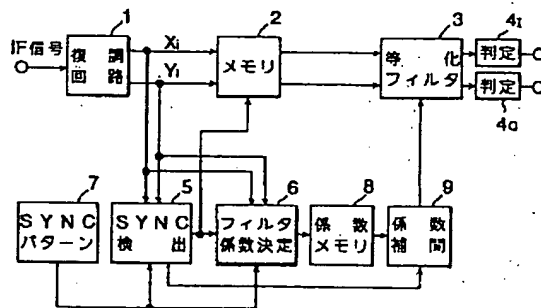
(74)代理人 弁理士 船橋 国則

(54)【発明の名称】 自動等化器

(57)【要約】

【目的】 等化器のフィルタ係数を少ない演算量にて精度良くかつ高速に決定することを可能とした自動等化器を提供する。

【構成】 受信した同期パターン信号を利用して等化フィルタ3のフィルタ係数を決定するようになされた自動等化器において、自局に対して割り当てられた第1のタイムスロットの同期パターン信号とこれに後続する第2のタイムスロットの同期パターン信号とをSYNC検出回路5で検出するとともに、両同期パターン信号に対応した2つのフィルタ係数をフィルタ係数決定回路6で決定し、係数補間回路9において、この2つのフィルタ係数による線形補間によって第1のタイムスロットにおけるデータについてのフィルタ係数を設定する。



本発明の一実施例を示すブロック図

【特許請求の範囲】

【請求項1】 各々異なる移動局に対して割り当てられた複数のタイムスロットによって単位フレームを構成し、各タイムスロット毎に固有の同期パターン信号を付加して送信を行うデジタル移動通信システムにおいて、受信した前記同期パターン信号を利用して等化器のフィルタ係数を決定するようになされた自動等化器であって、

自局に対して割り当てられた第1のタイムスロットの同期パターン信号と前記第1のタイムスロットに後続する第2のタイムスロットの同期パターン信号とを検出する同期パターン検出手段と、

前記第1のタイムスロットの同期パターン信号に対応した第1のフィルタ係数と前記第2のタイムスロットの同期パターン信号に対応した第2のフィルタ係数とを決定する係数決定手段と、

前記第1のフィルタ係数と前記第2のフィルタ係数とによる線形補間によって前記第1のタイムスロットにおけるデータに対するフィルタ係数を設定する係数補間手段とを備えたことを特徴とする自動等化器。

【請求項2】 前記第2のタイムスロットは、前記第1のタイムスロットとは異なる移動局に対して割り当てられたタイムスロットであることを特徴とする請求項1記載の自動等化器。

【請求項3】 前記第2のタイムスロットは、前記第1のタイムスロットの次のタイムスロットであることを特徴とする請求項2記載の自動等化器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、自動等化器に関し、特に各々異なる移動局に対して割り当てられた複数のタイムスロットによって単位フレームを構成し、各タイムスロット毎に固有の同期パターン信号を付加して送信を行うデジタル移動通信システムに用いて好適な自動等化器に関する。

【0002】

【従来の技術】米国、欧州および日本において、移動通信システムの1種である自動車電話システムのデジタル化が進められている。このデジタル自動車電話システムでは、時分割多重化処理(TDMA:Time Division Multiple Access)方式が採用されている。また、米国においては、TDMA方式の1種であるTIA方式の採用が決定されている。

【0003】このTIA方式では、基地局から移動局(自動車)への通話チャンネルは、図4に示すようなフレーム構成となっている。すなわち、各々が324ビットからなる6つのタイムスロットによって1944ビットの単位フレームが構成され、これは40msecとなっている。また、1タイムスロットの内容は、図5に示すように、28ビットの同期(SYNC)パターンデータ

と、296ビットのデジタルデータおよびコントロールデータからなっている。

【0004】

【発明が解決しようとする課題】ところで、この自動車電話システムでは、高速で移動する移動局と基地局との間に高層ビル等が介在することがあり、この場合、いわゆるマルチパスの影響を受けやすい。このマルチパスの影響を受けることにより、符号間干渉やチャンネル干渉などが発生するので、基地局と移動局間の伝送特性が大幅に劣化し、伝送エラーの少ない受信が困難となる。しかも、この等価的な伝送特性が時々刻々と変動する。

【0005】このような移動通信システムにおいて、伝送エラーの少ない受信を実現するためには、等化器を用いることが不可欠となる。また、等化器を構成するフィルタの係数を精度良くかつ高速に決定することが必要となり、さらに、可能な限り簡単なハードウェアであるいは少ない演算量で実現することが望まれる。

【0006】本発明は、上述した点に鑑みてなされたものであり、等化器のフィルタ係数を少ない演算量にて精度良くかつ高速に決定することを可能とした自動等化器を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明による自動等化器は、各々異なる移動局に対して割り当てられた複数のタイムスロットによって単位フレームを構成し、各タイムスロット毎に固有の同期パターン信号を付加して送信を行うデジタル移動通信システムにおいて、受信した前記同期パターン信号を利用して等化器のフィルタ係数を決定するようになされた自動等化器であって、自局に対して割り当てられた第1のタイムスロットの同期パターン信号と前記第1のタイムスロットに後続する第2のタイムスロットの同期パターン信号とを検出する同期パターン検出手段と、第1のタイムスロットの同期パターン信号に対応した第1のフィルタ係数と第2のタイムスロットの同期パターン信号に対応した第2のフィルタ係数とを決定する係数決定手段と、第1のフィルタ係数と第2のフィルタ係数とによる線形補間によって第1のタイムスロットにおけるデータに対するフィルタ係数を設定する係数補間手段とを備えた構成となっている。

【0008】

【作用】自局に対して割り当てられた第1のタイムスロットにおけるフィルタ係数とこの第1のタイムスロットに後続する第2のタイムスロットにおけるフィルタ係数とを決定し、両フィルタ係数の線形補間により、第1のタイムスロットにおけるデータに対するフィルタ係数を、少ない演算量にて精度良くかつ高速に設定し、さらにフィルタ係数をデータの1シンボル毎に適応的にコントロールする。

【0009】

【実施例】以下、本発明の実施例を図面に基づいて詳細

に説明する。図1は、本発明による自動等化器の一実施例を示すブロック図である。図1において、PSK変調されたIF信号は、図2に示す如き構成の復調回路1に供給されて復調される。図2において、IF信号は第1、第2の同期検波器11、12およびキャリア再生部13にそれぞれ供給される。キャリア再生部13では、信号復調用のキャリアの生成が行われる。このキャリアは、第1の同期検波器11には直接供給され、第2の同期検波器12には $\pi/2$ シフタ14を介して供給される。これにより、第1の同期検波器11はI軸用同期検波器としての作用をし、第2の同期検波器12はQ軸用同期検波器としての作用をする。復調回路1の復調出力は、メモリ2で例えば1タイムスロットに相当する期間だけ遅延された後、等化フィルタ3に供給される。

【0010】等化フィルタ3としては、トランスバーサルフィルタで構成されるものが一般的である。その具体的な構成の一例を図3に示す。図3において、4個のトランスバーサルフィルタ31~34および2個の加算器35、36によって等化フィルタ3が構成されており、トランスバーサルフィルタ31、32には第1の同期検波器11のI軸検波出力 x_i が、トランスバーサルフィルタ33、34には第2の同期検波器12のQ軸検波出力 y_i がそれぞれ供給される。そして、トランスバーサルフィルタ31、33の各出力が加算器35で加算され、トランスバーサルフィルタ32、34の各出力が加算器36で加算される。これにより、加算器35の出力としてはIチャンネルの等化出力信号 I_i が得られ、加算器36の出力としてはQチャンネルの等化出力信号 Q_i が得られる。

【0011】再び図1において、等化フィルタ3から出力されるI、Qチャンネルの各等化出力信号 I_i 、 Q_i は、1/0判定器41、42にそれぞれ供給され、そのレベルが論理レベルの“1”であるか“0”であるかが判定される。そして、これら1/0判定器41、42の判定出力であるパラレルデータが図示せぬ並列/直列変換回路でシリアルデータに変換されて出力される。

【0012】ところで、図5のタイムスロットの構成で説明したように、各タイムスロットの先頭には既知のパターンを有する同期(SYNC)パターンデータが付加されて送られてくる。TIA方式の場合には、 $\pi/4$ シフトDQPSK変調方式が採用されるので、同期パターンデータの28ビットは、14シンボルの長さのデータとして受信される。また、DQPSK方式においては、Iチャンネル信号とQチャンネル信号とが送信および受信されるので、各チャンネルにおける符号間干渉の外にチャンネル間の干渉(クロストーク)も無視することができない。

【0013】そこで、本実施例においては、各チャンネルにおける符号間干渉やチャンネル間のクロストークを

防止するために、上述したように、等化フィルタ3をトランスバーサルフィルタ31~34で構成し、同期パターンデータに基づいて把握した受信状況に応じてトランスバーサルフィルタ31~34のタップ係数、即ち等化フィルタ3のフィルタ係数を設定することとする。

【0014】すなわち、I軸、Q軸検波出力 x_i 、 y_i がSYNC検出回路5およびフィルタ係数決定回路6にそれぞれ供給される。SYNC検出回路5は、各タイムスロットの先頭に付加されている各同期パターンデータのうちから、予め設定されている自局のタイムスロットに付加されている同期パターンデータを検出し、さらに例えば自局のタイムスロットの次のタイムスロットに付加されている同期パターンデータを検出する。検出された連続する2つのタイムスロットの各同期パターンデータは、検出された順にフィルタ係数決定回路6に供給される。

【0015】フィルタ係数決定回路6は、供給された同期パターンデータとSYNCパターンテーブル7に格納されている既知の同期パターンデータとに基づいてトランスバーサルフィルタ31~34のタップ係数を2つのタイムスロットに対応して決定し、決定した2つのタップ係数を次段の係数メモリ8に記憶させる。係数補間回路9は、係数メモリ8に記憶された2つのタイムスロットに対応したタップ係数で線形補間することにより、トランスバーサルフィルタ31~34のタップ係数を設定する。

【0016】これにより、自局のタイムスロットにおけるデジタルデータおよびコントロールデータを復号するに際しては、これらデータ区間を挟む2つのタイムスロットの各同期パターンデータに基づいて決定された2つのタップ係数で線形補間されたタップ係数が用いられることになる。これにより、比較的少ない演算量にて等化フィルタ3のフィルタ係数を精度良くかつ高速に決定することができるとともに、フィルタ係数を1シンボル毎に適応的にコントロールすることが可能となる。

【0017】次に、トランスバーサルフィルタ31~34のタップ係数を決定する動作について詳細に説明する。まず、1シンボルの持続時間を T とし、この時間間隔 T 毎に復調回路1の復調出力、即ち第1、第2の同期検波器11、12の検波出力をチェックして同期パターンデータを検出する。また、各トランスバーサルフィルタ31~34のタップ遅延時間は、1シンボルの持続時間 T に等しく設定するものとする。また、各トランスバーサルフィルタ31~34のタップ係数をそれぞれ c_n 、 e_n 、 d_n 、 f_n ($n=-k, \dots, 0, \dots, -k$)とすると、等化フィルタ3の出力 I_i 、 Q_i は、(1)式および(2)式に示すようになる。

【数1】

$$I_i = \sum_{n=-k}^{+k} c_n \cdot x_{i-n} + \sum_{n=-k}^{+k} d_n \cdot y_{i-n} \quad \dots\dots\dots (1)$$

【数2】

$$Q_i = \sum_{n=-k}^{+k} e_n \cdot x_{i-n} + \sum_{n=-k}^{+k} f_n \cdot y_{i-n} \quad \dots\dots\dots (2)$$

【0018】ここで、 x_i, y_i ($i=-(k+m), \dots, 0, \dots, +(k+m)$) は、第1, 第2の同期検波器11, 12の検波出力である。したがって、 i 番目のシンボルについて、 ϵ_i および Q チャンネルの誤差 δ_i は(3) 式および(4) 式のように表される。 【数3】

$$\epsilon_i = I_i - X_i \quad \dots\dots\dots (3)$$

【数4】

$$\delta_i = Q_i - Y_i \quad \dots\dots\dots (4)$$

(3) 式および(4) 式において、 X_i, Y_i ($i=-m, \dots, 0, \dots, +m$) は、一定パターンからなる固有の同期パターンデータから決定されるシンボルであって、SY 20 NCパターンテーブル7に格納されている既知のデータ※である。 【0019】これから、誤差の2乗和 E_I, E_Q は、(5) 式および(6) 式で表される。 【数5】

$$\begin{aligned} E_I &= \sum_{i=-m}^{+m} \epsilon_i^2 \\ &= \sum_{i=-m}^{+m} \left\{ \sum_{n=-k}^{+k} c_n \cdot x_{i-n} + \sum_{n=-k}^{+k} d_n \cdot y_{i-n} - X_i \right\}^2 \quad \dots\dots\dots (5) \end{aligned}$$

【数6】

$$\begin{aligned} E_Q &= \sum_{i=-m}^{+m} \delta_i^2 \\ &= \sum_{i=-m}^{+m} \left\{ \sum_{n=-k}^{+k} e_n \cdot x_{i-n} + \sum_{n=-k}^{+k} f_n \cdot y_{i-n} - Y_i \right\}^2 \quad \dots\dots\dots (6) \end{aligned}$$

先ず、1チャンネルの誤差を最小とるようにタップ係数 c_n, d_n を決定する。最小2乗法を適用すると、 \star (7) 式および(8) 式が得られる。 【数7】

(5) 式を c_n および d_n について偏微分することによ \star

$$\begin{aligned} \frac{\partial E_I}{\partial c_n} &= 2 \cdot \sum_{i=-m}^{+m} \left\{ \sum_{n=-k}^{+k} c_n \cdot x_{i-n} + \sum_{n=-k}^{+k} d_n \cdot y_{i-n} - X_i \right\} \cdot x_{i-n} \\ &= 0 \quad \dots\dots\dots (7) \end{aligned}$$

【数8】

$$\frac{\partial E_I}{\partial d_n} = 2 \cdot \sum_{i=-m}^{+m} \left\{ \sum_{n=-k}^{+k} c_n \cdot x_{i-n} + \sum_{n=-k}^{+k} d_n \cdot y_{i-n} - X_i \right\} \cdot y_{i-n} \quad (8)$$

$$= 0$$

【0020】この(7)式および(8)式に、 $n=-k, -(k-1), \dots, 0, \dots, +k$ を代入すると、(9)式に*

*示す連立方程式が得られる。

【数9】

$$\begin{bmatrix} \sum_{i=-m}^{+m} x_{i+k}^2 & \sum_{i=-m}^{+m} x_{i+k} x_{i+k-1} & \dots & \sum_{i=-m}^{+m} x_{i+k} y_{i-k} \\ \sum_{i=-m}^{+m} x_{i+k-1} x_{i+k} & \sum_{i=-m}^{+m} x_{i+k-1}^2 & \dots & \sum_{i=-m}^{+m} x_{i+k-1} y_{i-k} \\ \dots & \dots & \dots & \dots \\ \sum_{i=-m}^{+m} y_{i-k} x_{i+k} & \sum_{i=-m}^{+m} y_{i-k} x_{i+k-1} & \dots & \sum_{i=-m}^{+m} y_{i-k}^2 \end{bmatrix} \begin{bmatrix} c_{-k} \\ c_{-k+1} \\ \dots \\ d_{+k} \end{bmatrix} = \begin{bmatrix} \sum_{i=-m}^{+m} x_{i+k} X_i \\ \sum_{i=-m}^{+m} x_{i+k-1} X_i \\ \dots \\ \sum_{i=-m}^{+m} y_{i-k} X_i \end{bmatrix} \quad (9)$$

この連立方程式(9)の係数マトリクスは対称マトリクスとなるので、各要素についての計算は全てについて行う必要はない。さらに、この連立方程式を解くには、係数マトリクスについて先ずL・U分解してから解くのが一般的である。

※【0021】同様にして、Qチャンネルの誤差を最小とするようにタップ係数 e_n, f_n を決定する。(6)式を e_n および f_n について偏微分することにより、(10)式および(11)式が得られる。

※【数10】

$$\frac{\partial E_Q}{\partial e_n} = 2 \cdot \sum_{i=-m}^{+m} \left\{ \sum_{n=-k}^{+k} e_n \cdot x_{i-n} + \sum_{n=-k}^{+k} f_n \cdot y_{i-n} - Y_i \right\} \cdot x_{i-n} \quad (10)$$

$$= 0$$

【数11】

$$\frac{\partial E_Q}{\partial f_n} = 2 \cdot \sum_{i=-m}^{+m} \left\{ \sum_{n=-k}^{+k} e_n \cdot x_{i-n} + \sum_{n=-k}^{+k} f_n \cdot y_{i-n} - Y_i \right\} \cdot y_{i-n} \quad (11)$$

$$= 0$$

この(10)式および(11)式に、 $n=-k, -(k-1), \dots, 0, \dots, +k$ を代入すると、(12)式に示す連立方程

式が得られる。

* * 【数12】

$$\begin{bmatrix} \sum_{i=-m}^{+m} x_{i+k}^2 & \sum_{i=-m}^{+m} x_{i+k} x_{i+k-1} & \cdots & \sum_{i=-m}^{+m} x_{i+k} y_{i-k} \\ \sum_{i=-m}^{+m} x_{i+k-1} x_{i+k} & \sum_{i=-m}^{+m} x_{i+k-1}^2 & \cdots & \sum_{i=-m}^{+m} x_{i+k-1} y_{i-k} \\ \cdots & \cdots & \cdots & \cdots \\ \sum_{i=-m}^{+m} y_{i-k} x_{i+k} & \sum_{i=-m}^{+m} y_{i-k} x_{i+k-1} & \cdots & \sum_{i=-m}^{+m} y_{i-k}^2 \end{bmatrix} \begin{bmatrix} e_{-k} \\ e_{-k+1} \\ \vdots \\ f_{+k} \end{bmatrix}$$

$$= \begin{bmatrix} \sum_{i=-m}^{+m} x_{i+k} Y_i \\ \sum_{i=-m}^{+m} x_{i+k-1} Y_i \\ \vdots \\ \sum_{i=-m}^{+m} y_{i-k} Y_i \end{bmatrix} \quad \cdots \cdots (12)$$

この連立方程式(12)の係数マトリクスは、(9)式における係数マトリクスと全く同じものである。

【0022】以上の処理手順によって、自局に割り当てられたタイムスロット、例えばタイムスロット1におけるタップ係数 G_1 を求められるが、全く同様の手順にしたがった演算処理を行うことにより、タイムスロット1※30

※の次のタイムスロット2におけるタップ係数 G_2 をも求めることができる。そして、タイムスロット1におけるデータ部のj番目のシンボルに対応するタップ係数 G_j は、(13)式に示すように、求められた2つのタップ係数 G_1 と G_2 との線形補間によって決定される。

【数13】

$$G_j = \frac{j}{J} G_2 + \frac{J-j}{J} G_1 \quad \cdots \cdots (13)$$

ここで、Jは1タイムスロット中に送られる全シンボル数を表わす。図5に示すTIA方式の場合には、J=162となる。(13)式においては、1シンボル毎に線形補間を行うものであるが、数シンボル毎に計算を行うことによって演算量をさらに減らすことも可能である。

【0023】なお、上記実施例においては、自局に割り当てられたタイムスロットにおけるタップ係数に対し、その次のタイムスロットにおけるタップ係数を求め、両タップ係数の線形補間によってトランスバーサルフィルタ31～34のタップ係数を決定するようにしたが、線形補間を行うためのタップ係数は次のタイムスロットにおけるタップ係数に限定されるものではなく、自局に割り当てられたタイムスロットに後続する数スロット後のタイムスロットにおけるタップ係数を求めるようにしても良い。これによれば、次のタイムスロットにおけるタップ係数を求める場合よりも、時間的に余裕を持った演算処理が可能となる。

【0024】また、1フレーム後の自局に割り当てられたタイムスロットにおけるタップ係数との線形補間によってトランスバーサルフィルタ31～34のタップ係数を決定するようにしても良い。この場合、図1におけるメモリ2では、1フレームに相当する期間だけデータを遅延する必要があるため、本変形例は、その遅延時間が実用上問題ない場合に有用となる。これによれば、常に自局に割り当てられたタイムスロットにおけるタップ係数のみを決定すれば良いことになるため、フィルタ係数決定回路6での演算量を減らすことができる。

【0025】さらに、上記実施例では、デジタル自動車電話システムに適用した場合について説明したが、これに限定されるものではなく、本発明は、デジタル携帯電話システム等、デジタル移動通信システム全般に適用し得るものである。

【0026】

50 【発明の効果】以上説明したように、本発明によれば、

自局に対して割り当てられた第1のタイムスロットにおけるフィルタ係数とこの第1のタイムスロットに後続する第2のタイムスロットにおけるフィルタ係数とを決定し、これらフィルタ係数の線形補間によって第1のタイムスロットにおけるデータに対するフィルタ係数を設定するようにしたので、少ない演算量にて精度良くかつ高速にフィルタを設定できるとともに、フィルタ係数をデータの1シンボル毎に適応的にコントロールすることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】図1における復調回路の構成の一例を示すブロック図である。

【図3】図1における等化フィルタの構成の一例を示すブロック図である。

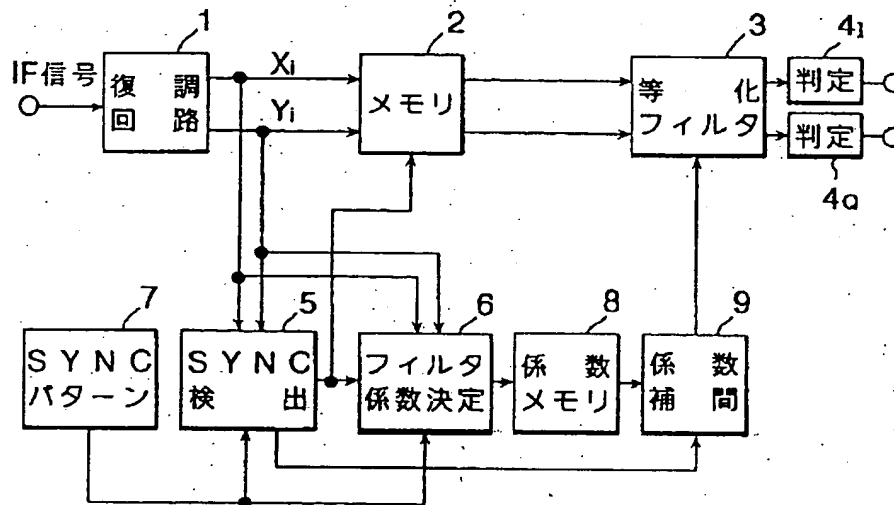
【図4】TIA方式におけるフレームの構成図である。*

*【図5】TIA方式におけるタイムスロットの構成図である。

【符号の説明】

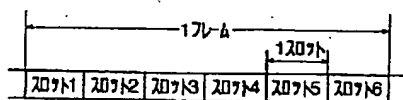
- 1 復調回路
- 3 等化フィルタ
- 4_i, 4_o 1/0判定器
- 5 SYNC検出回路
- 6 フィルタ係数決定回路
- 7 SYNCパターンテーブル
- 9 係数補間回路
- 11 第1の同期検波器
- 12 第2の同期検波器
- 13 キャリア再生部
- 31~34 トランスバーサルフィルタ
- 35, 36 加算器

【図1】



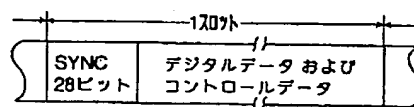
本発明の一実施例を示すブロック図

【図4】



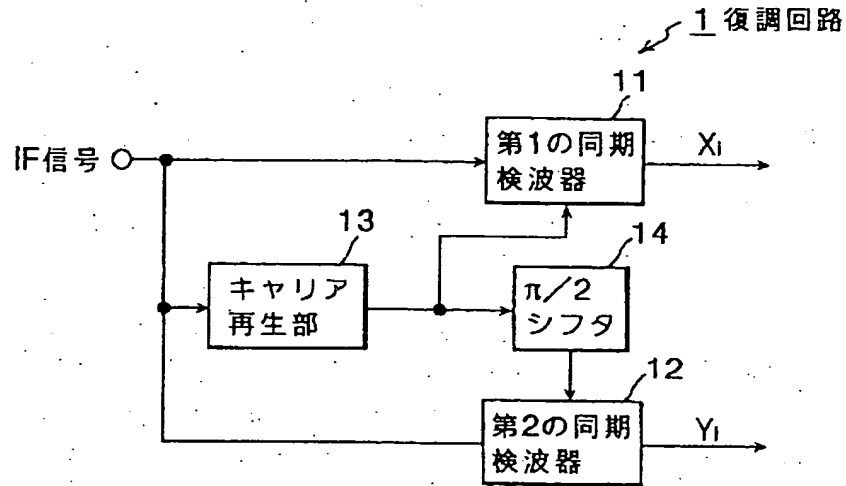
TIA方式におけるフレームの構成図

【図5】



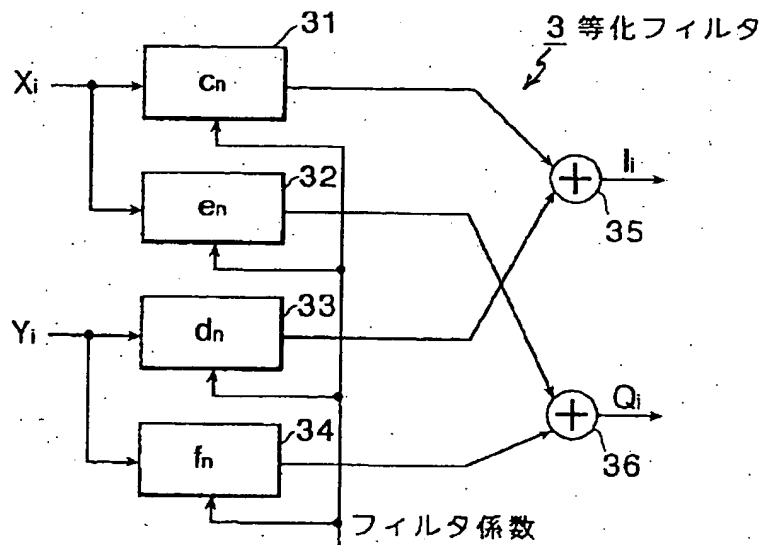
TIA方式におけるタイムスロットの構成図

【図2】



復調回路の一例を示すブロック図

【図3】



等化フィルタの一例を示すブロック図

フロントページの続き

(51) Int. Cl.⁵

H04J 3/06

H04L 7/08

識別記号

庁内整理番号

F I

技術表示箇所

Z 8843-5K

Z 7928-5K